

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-067335

(43)Date of publication of application : 10.03.1995

(51)Int.Cl.

H02M 3/338

H02J 1/00

H02M 3/28

(21)Application number : 06-055102

(71)Applicant : MURATA MFG CO LTD

(22)Date of filing : 28.02.1994

(72)Inventor : NAKAHIRA KOJI  
TANI RYUTA  
OKAMOTO YASUSHI

(30)Priority

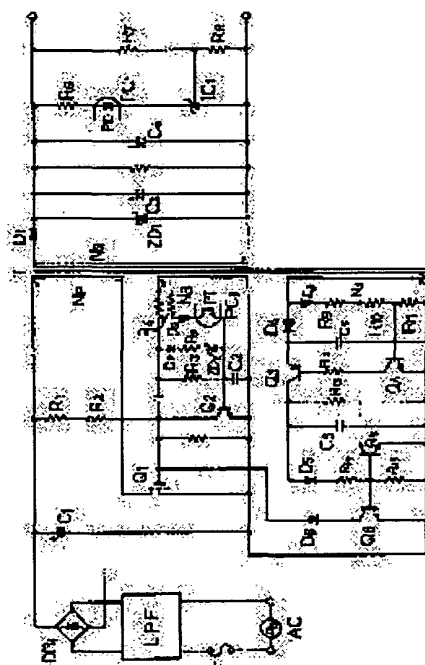
Priority number : 05172500 Priority date : 18.06.1993 Priority country : JP

## (54) SWITCHING POWER SUPPLY DEVICE

(57)Abstract:

**PURPOSE:** To reduce the switching loss of a switching power supply device, by holding a second switching element in OFF-state during a predetermined period while driving a first switching element during the period determined through a time constant circuit.

**CONSTITUTION:** When a transistor(Tr) Q2 is turned on, a switching element (SW) Q1 is turned off. At this time, positive voltages are generated respectively in output windings N2, N3 of an output transformer T whose winding polarities are opposite respectively to a primary winding Np of the output transformer T, and then, transistors TrQ4, Q3 are turned on, and thereby, a capacitor C6 is charged. By the charged voltage of the capacitor C6, transistors TrQ5, Q6 are turned on, and then, the transistors TrQ1, Q4 are turned off. Further, this state is held during a fixed period until the charge of the capacitor C6 is discharged to some extent according to the time constant determined by the capacitor C6 and resistors R13-R15. By the adjustment of the time constant, the OFF-time of the switching element SWQ1 can be longer than a given time. Therefore, the switching frequency of the switching element SW Q1 cannot exceed, a given frequency.



## LEGAL STATUS

[Date of request for examination] 08.09.1999

[Date of sending the examiner's decision of rejection] 27.03.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3223695

[Date of registration] 24.08.2001

[Number of appeal against examiner's decision of rejection] 2001-06058

[Date of requesting appeal against examiner's decision of rejection] 17.04.2001

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁(JP)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 7 - 6 7 3 3 5

(43) 公開日 平成7年(1995)3月10日

(51) Int. Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 2 M 3/338		A 8726-5 H		
H 0 2 J 1/00	3 0 8	B 7509-5 G		
H 0 2 M 3/28		S 8726-5 H		

審査請求 未請求 請求項の数4

F D

(全14頁)

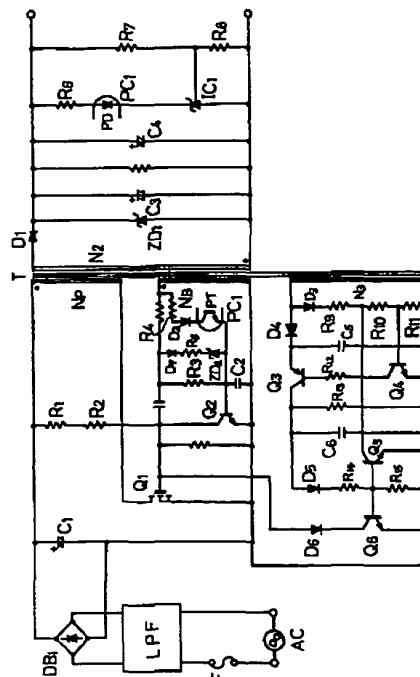
(21) 出願番号	特願平6-55102	(71) 出願人	000006231 株式会社村田製作所 京都府長岡京市天神二丁目26番10号
(22) 出願日	平成6年(1994)2月28日	(72) 発明者	中平 浩二 京都府長岡京市天神二丁目26番10号 株式 会社村田製作所内
(31) 優先権主張番号	特願平5-172500	(72) 発明者	谷 竜太 京都府長岡京市天神二丁目26番10号 株式 会社村田製作所内
(32) 優先日	平5(1993)6月18日	(72) 発明者	岡本 康司 京都府長岡京市天神二丁目26番10号 株式 会社村田製作所内
(33) 優先権主張国	日本 (J P)	(74) 代理人	弁理士 奥田 和雄

(54) 【発明の名称】 スイッチング電源装置

## (57) 【要約】

【目的】 軽負荷時での効率を上げること。

【構成】 スイッチング素子 $Q_1$ のターンオフ時に出力巻線 $N_3$ に正の電圧を発生させ、トランジスタ $Q_4$ をオンさせる。これによりトランジスタ $Q_3$ がオンし、コンデンサ $C_6$ を充電する。この電圧によりトランジスタ $Q_6$ 、 $Q_5$ がオンすることでスイッチング素子 $Q_1$ 及びトランジスタ $Q_4$ をオフさせる。コンデンサ $C_6$ 、抵抗 $R_{13} \sim R_{16}$ の時定数により、コンデンサ $C_6$ の電荷がある程度放電するまで、ある一定時間この状態を保つ。この時間を調整することで、スイッチング素子 $Q_1$ のターンオフの時間を、ある一定以上できる。従って、スイッチング素子 $Q_1$ のスイッチング周波数を、ある周波数以上にならないようにできる。そのため、スイッチング素子 $Q_1$ のスイッチング回数を減少させることができ、その結果、軽負荷時のロスを減少させることができる。



## 【特許請求の範囲】

【請求項 1】 1 次巻線 ( $N_F$ )、出力巻線 ( $N_2$ ) 及び帰還巻線 ( $N_B$ ) を有する出力トランス (T) と、上記出力トランス (T) の 1 次巻線に一端が接続され帰還巻線に制御端子を接続した発振用のスイッチング素子 ( $Q_1$ ) と、出力トランス (T) の出力巻線 ( $N_2$ ) に接続された整流回路とを備えたリンギング・チョーク・コンバータ方式のスイッチング電源装置において、上記スイッチング素子 ( $Q_1$ ) のスイッチング周波数を、ある周波数以上にならないように抑制する制御手段を備え、該制御手段を、上記出力トランス (T) に設けた出力巻線 ( $N_2$ ) と同極性に巻装した第 2 の出力巻線 ( $N_3$ ) と、この第 2 の出力巻線 ( $N_3$ ) に発生した電圧によりオンする第 1 のスイッチ素子 ( $Q_4$ ) と、この第 1 のスイッチ素子 ( $Q_4$ ) のオン動作によりオン駆動される第 2 のスイッチ素子 ( $Q_3$ ) と、この第 2 のスイッチ素子 ( $Q_3$ ) のオン動作により充電されるコンデンサ ( $C_6$ ) 及び抵抗 ( $R_{13}$ ) ~ ( $R_{15}$ ) からなる時定数回路と、この時定数回路により所定時間上記第 1 のスイッチ素子 ( $Q_4$ ) をオフさせる第 3 のスイッチ素子 ( $Q_5$ ) と、上記時定数回路により上記スイッチング素子 ( $Q_1$ ) の制御端子を L レベルにして該スイッチング素子 ( $Q_1$ ) を所定時間オフ状態に維持する第 4 のスイッチ素子 ( $Q_6$ ) とで構成したことを特徴とするスイッチング電源装置。

【請求項 2】 上記スイッチング素子 ( $Q_1$ ) の制御端子とアースとの間にコンデンサ ( $C_7$ ) を接続したことを特徴とする請求項 1 記載のスイッチング電源装置。

【請求項 3】 1 次巻線 ( $N_F$ )、出力巻線 ( $N_2$ ) 及び帰還巻線 ( $N_B$ ) を有する出力トランス (T) と、上記出力トランス (T) の 1 次巻線に一端が接続され帰還巻線 ( $N_B$ ) に制御端子を接続した発振用のスイッチング素子 ( $Q_1$ ) と、出力トランス (T) の出力巻線 ( $N_2$ ) に接続された整流回路とを備えたリンギング・チョーク・コンバータ方式のスイッチング電源装置において、上記スイッチング素子 ( $Q_1$ ) のスイッチング周波数を、ある周波数以上にならないように抑制する制御手段を備え、該制御手段を、上記出力トランス (T) に設けた出力巻線 ( $N_2$ ) と同極性に巻装した第 2 の出力巻線 ( $N_3$ ) と、上記スイッチング素子 ( $Q_1$ ) のオン時に上記出力トランス T の帰還巻線 ( $N_B$ ) より発生した電圧によりオンする第 1 のスイッチ素子 ( $Q_4$ ) と、この第 1 のスイッチ素子 ( $Q_4$ ) のオン動作によりオン駆動される第 2 のスイッチ素子 ( $Q_3$ ) と、スイッチング素子 ( $Q_1$ ) のターンオフ時に帰還巻線 ( $N_B$ ) に発生した逆電圧により上記第 1、第 2 のスイッチ素子 ( $Q_4$ )、( $Q_3$ ) がオフに移行するまでのタイムラグの間に、上記第 2 の出力巻線 ( $N_3$ ) に発生した電圧により第 2 のスイッチ素子 ( $Q_3$ ) を介して充電されるコンデンサ ( $C_6$ ) 及び抵抗 ( $R_{13}$ ) ~ ( $R_{15}$ ) からなる

時定数回路と、この時定数回路により所定時間オン動作を維持して上記スイッチング素子 ( $Q_1$ ) の制御端子を L レベルにし、該スイッチング素子 ( $Q_1$ ) を所定時間オフ状態に維持する第 3 のスイッチ素子 ( $Q_6$ ) とで構成したことを特徴とするスイッチング電源装置。

【請求項 4】 上記スイッチング素子 ( $Q_1$ ) の制御端子とアースとの間にコンデンサ ( $C_7$ ) を接続したことを特徴とする請求項 3 記載のスイッチング電源装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、リンギング・チョーク・コンバータ (RCC) 方式を用いたスイッチング電源装置に関するものである。

## 【0002】

【従来の技術】 図 11 は従来の FET 式のリンギング・チョーク・コンバータ (RCC) 方式のスイッチング電源装置の具体回路図を示すものである。尚、この種の従来例としては、例えば、特公平 4-9034 号公報が挙げられる。交流電源 AC がヒューズ F 及びラインフィルタ LPF を介して整流用のダイオードブリッジ DB<sub>1</sub> の入力端に接続されており、このダイオードブリッジ DB<sub>1</sub> の出力端には平滑用のコンデンサ C<sub>1</sub> が接続されている。

【0003】 インバータ回路は、出力トランス T、FET からなるスイッチング素子 Q<sub>1</sub>、起動用抵抗 R<sub>1</sub>、R<sub>2</sub> 等で構成されている。また、出力トランス T の出力巻線 N<sub>2</sub> の両端には、整流用のダイオード D<sub>1</sub>、定電圧用のツェナーダイオード ZD<sub>1</sub>、コンデンサ C<sub>3</sub>、C<sub>4</sub> からなる平滑回路が接続されている。

【0004】 更に、インバータ回路には、出力電圧の安定制御及び過電流保護回路としての電圧検出回路及び制御回路が設けてある。インバータ回路の出力側に設けた電圧検出回路は、出力電圧を分圧して検出する抵抗 R<sub>7</sub>、R<sub>8</sub>、フォトカプラ PC<sub>1</sub> の発光側の発光ダイオード PD、シャントレギュレータ IC<sub>1</sub> 等で構成されている。また、インバータ回路の出力トランス T の帰還巻線 N<sub>B</sub> 側に設けた制御回路は、上記フォトカプラ PC<sub>1</sub> の発光ダイオード PD と対となるフォトトランジスタ P<sub>T</sub>、抵抗 R<sub>3</sub> ~ R<sub>5</sub>、ダイオード D<sub>2</sub>、D<sub>7</sub>、ツェナーダイオード ZD<sub>2</sub>、スイッチング素子 Q<sub>1</sub> のゲート・ソース間に並列に接続したトランジスタ Q<sub>2</sub> 等で構成されている。

【0005】 次に、図 11 に示す回路の動作について説明する。まず、電源が投入された起動時においては、抵抗 R<sub>1</sub>、R<sub>2</sub> を介してスイッチング素子 Q<sub>1</sub> のゲートに電圧が印加されて、該スイッチング素子 Q<sub>1</sub> がオンする。このスイッチング素子 Q<sub>1</sub> がオンすると、出力トランス T の 1 次巻線 N<sub>F</sub> に電源電圧が印加されて、帰還巻線 N<sub>B</sub> に 1 次巻線 N<sub>F</sub> と同方向に電圧が発生する。この発生した電圧により抵抗 R<sub>3</sub> 及びダイオード D<sub>7</sub>、抵抗

10

20

30

40

50

$R_5$ 、ツェナーダイオード  $ZD_2$  の直列回路を介してコンデンサ  $C_2$  を充電する。

【0006】コンデンサ  $C_2$  が充電されていき、トランジスタ  $Q_2$  のベース・エミッタ間の順方向電圧を越えると、トランジスタ  $Q_2$  がオンする。トランジスタ  $Q_2$  がオンすると、トランジスタ  $Q_2$  のコレクタ電位が L レベルとなって、スイッチング素子  $Q_1$  のゲートを L レベルとして、該スイッチング素子  $Q_1$  をオフさせる。

【0007】スイッチング素子  $Q_1$  がオフすると、該スイッチング素子  $Q_1$  のオン時に出力トランス T に蓄積されていたエネルギーを出力巻線  $N_2$  を介して放出される。このエネルギーである電圧がダイオード  $D_1$  で整流され、コンデンサ  $C_3$ 、 $C_4$  にて平滑されて、負荷に電力が供給されることになる。

【0008】コンデンサ  $C_2$  の電荷が抵抗  $R_3$  を介して放電してしまうと、トランジスタ  $Q_2$  はオフし、スイッチング素子  $Q_1$  がオンする。スイッチング素子  $Q_1$  がオンすると、再び出力トランス T の 1 次巻線  $N_P$  に電圧が印加されて、出力トランス T にエネルギーを蓄積する。このような動作を繰り返していくことで、インバータ回路が起動して、定常状態に移行する。

【0009】ここで、負荷側の出力電圧は、抵抗  $R_7$  と  $R_8$  とで常時分圧して検出されており、この分圧した検出電圧とシャントレギュレータ  $IC_1$  が有する基準電圧とを比較している。そして、出力電圧の変動量をシャントレギュレータ  $IC_1$  で増幅し、フォトカブラ  $PC_1$  の発光ダイオード PD に流す電流を変化させて、発光ダイオード PD の発光量に応じてフォトカブラ  $PC_1$  のフォトトランジスタ PT のインピーダンスを変化させ、コンデンサ  $C_2$  の充電時定数を変えることで、出力電圧が一定となるように制御を行う。

【0010】ここで、出力電圧が上昇すると、フォトカブラ  $PC_1$  の発光ダイオード PD に電流が多く流れて、フォトトランジスタ PT を介してコンデンサ  $C_2$  の充電時定数が短くなり、トランジスタ  $Q_2$  を早くオンさせて、スイッチング素子  $Q_1$  をオフとして、該スイッチング素子  $Q_1$  のオン期間を短くして、出力電圧を低下させるように制御する。また、出力電圧が低下した場合には、上記の逆の動作を行って、出力電圧を上昇させるように制御を行い、出力電圧が一定となるように定電圧制御をする。

【0011】また、負荷電流が大となると、出力電圧が低下していき、フォトカブラ  $PC_1$  の発光ダイオード PD に流れる電流が小さくなり、コンデンサ  $C_2$  の充電時定数は抵抗  $R_3$  と、ダイオード  $D_7$ 、抵抗  $R_5$ 、ツェナーダイオード  $ZD_2$  直列回路との並列値となって最大となり、これ以上負荷電流をとってもスイッチング素子  $Q_1$  のオン期間幅は増加せず、所謂フの字特性となる。つまり、過電流制御が行われることになる。

【0012】

【発明が解決しようとする課題】ここで、図 11 に示すようなリンギング・チョーク・コンバータ回路において、一般に発振周波数  $f$  は次式で示される。

$$f = (D^2 V_1) / (2 L_1 P_1)$$

但し、 $D$  はデューティ、 $P_1$  は入力電力、 $L_1$  は 1 次巻線  $N_P$  のインダクタンス値、 $V_1$  は入力電圧である。上式より、入力電力  $P_1$  が小さくなると、発振周波数  $f$  は大きくなる ( $f$  の変動大)。

【0013】また、入力電力  $P_1$  の小の時は、スイッチング素子  $Q_1$  のスイッチングロスが大となり、効率が悪くなり、この時のスイッチング素子  $Q_1$  のロスはほとんどスイッチングロスである (スイッチング素子  $Q_1$  のオン抵抗  $R_{DS}$  によるロスは小さい)。入力電力  $P_1$  が小の時、つまり、出力電力が小の時のロスのほとんどは、スイッチングロスであることから、ロスを減衰させるためには、スイッチング素子  $Q_1$  自体のスイッチングロスを減少させる方法と、スイッチング素子  $Q_1$  のスイッチング回数を減少させる方法とがある。

【0014】ところで、図 12 は他の従来例のスイッチング電源装置の具体回路図であり、図 11 の場合と略同じであるが、回路構成が異なる部分だけ説明する。まず、出力トランス T の 2 次側は、整流用のダイオード  $D_1$  を介して接続される平滑回路の構成を、コンデンサ  $C_3$ 、 $C_4$  とチョークコイル  $L_1$  とで構成している。また、出力トランス T の帰還巻線  $N_B$  側に接続されコンデンサ  $C_2$  を充電する時定数回路を少し異ならせている。すなわち、抵抗  $R_3$  を、抵抗  $R_5$  とツェナーダイオード  $ZD_2$  との直列回路に並列に接続している。

【0015】なお、図 12 における回路の動作は、図 11 の回路と基本的に同じなので、その説明は省略する。

【0016】本発明は上述の点に鑑みて提供したものであって、スイッチング素子の発振周波数のある周波数以上に上げないようにしてロスを少なくして効率を上げることを目的としたスイッチング電源装置を提供するものである。

【0017】

【課題を解決するための手段】本発明は、1 次巻線  $N_P$ 、出力巻線  $N_2$  及び帰還巻線  $N_B$  を有する出力トランス T と、上記出力トランス T の 1 次巻線  $N_P$  に一端が接続され帰還巻線  $N_B$  に制御端子を接続した発振用のスイッチング素子  $Q_1$  と、出力トランス T の出力巻線  $N_2$  に接続された整流回路とを備えたリンギング・チョーク・コンバータ方式のスイッチング電源装置において、上記スイッチング素子  $Q_1$  のスイッチング周波数を、ある周波数以上にならないように抑制する制御手段を備え、該制御手段を、上記出力トランス T に設けた出力巻線  $N_2$  と同極性に巻装した第 2 の出力巻線  $N_3$  と、この第 2 の出力巻線  $N_3$  に発生した電圧によりオンする第 1 のスイッチ素子  $Q_4$  と、この第 1 のスイッチ素子  $Q_4$  のオン動作によりオン駆動される第 2 のスイッチ素子  $Q_3$  と、

この第2のスイッチ素子 $Q_3$ のオン動作により充電されるコンデンサ $C_6$ 及び抵抗 $R_{13} \sim R_{16}$ からなる時定数回路と、この時定数回路により所定時間上記第1のスイッチ素子 $Q_4$ をオフさせる第3のスイッチ素子 $Q_5$ と、上記時定数回路により上記スイッチング素子 $Q_1$ の制御端子をLレベルにして該スイッチング素子 $Q_1$ を所定時間オフ状態に維持する第4のスイッチ素子 $Q_6$ とで構成したことを特徴としている。

【0018】また、請求項2においては上記請求項1の回路構成において、上記スイッチング素子 $Q_1$ の制御端

子とアースとの間にコンデンサ $C_7$ を接続したことを特徴としている。

【0019】更に、請求項3においては、1次巻線 $N_P$ 、出力巻線 $N_2$ 及び帰還巻線 $N_B$ を有する出力トランス $T$ と、上記出力トランス $T$ の1次巻線に一端が接続され帰還巻線 $N_B$ に制御端子を接続した発振用のスイッチング素子 $Q_1$ と、出力トランス $T$ の出力巻線 $N_2$ に接続された整流回路とを備えたリンギング・チョーク・コンバータ方式のスイッチング電源装置において、上記スイッチング素子 $Q_1$ のスイッチング周波数を、ある周波数以上にならないように抑制する制御手段を備え、該制御手段を、上記出力トランス $T$ に設けた出力巻線 $N_2$ と同極性に巻装した第2の出力巻線 $N_3$ と、上記スイッチング素子 $Q_1$ のオン時に上記出力トランス $T$ の帰還巻線 $N_B$ より発生した電圧によりオンする第1のスイッチ素子 $Q_4$ と、この第1のスイッチ素子 $Q_4$ のオン動作によりオン駆動される第2のスイッチ素子 $Q_3$ と、スイッチング素子 $Q_1$ のターンオフ時に帰還巻線 $N_B$ に発生した逆電圧により上記第1、第2のスイッチ素子 $Q_4$ 、 $Q_3$ がオフに移行するまでのタイムラグの間に、上記第2の出力巻線 $N_3$ に発生した電圧により第2のスイッチ素子 $Q_3$ を介して充電されるコンデンサ $C_6$ 及び抵抗 $R_{13} \sim R_{16}$ からなる時定数回路と、この時定数回路により所定時間オン動作を維持して上記スイッチング素子 $Q_1$ の制御端子をLレベルにし、該スイッチング素子 $Q_1$ を所定時間オフ状態に維持する第3のスイッチ素子 $Q_5$ とで構成したことを特徴としている。

【0020】また、請求項4においては上記請求項3の回路構成において、上記スイッチング素子 $Q_1$ の制御端

子とアースとの間にコンデンサ $C_7$ を接続したことを特

徴としている。

【0021】

【作用】本発明によれば、時定数回路における時間により所定時間第4のスイッチ素子 $Q_6$ を駆動してスイッチング素子 $Q_1$ を所定時間オフ状態に維持させることで、該スイッチング素子 $Q_1$ のスイッチング周波数を、ある周波数以上にならないようにしている。従って、出力電力が小さい場合のスイッチングロスを減少させることができ、そのため、軽負荷時での効率を向上させることができる。

【0022】また、請求項2によれば、上記スイッチング素子 $Q_1$ の制御端子とアースとの間にコンデンサ $C_7$ を接続していることで、時定数回路により所定時間が経過してスイッチング素子 $Q_1$ がターンオンしようとしても、コンデンサ $C_7$ によりスイッチング素子 $Q_1$ の制御端子への電圧の立ち上がりが遅れて、スイッチング素子 $Q_1$ のオフ時間をより長くすることができる。そのため、軽負荷時でのスイッチング素子 $Q_1$ のスイッチング周波数をより減少させることができ、軽負荷時で、より効率を向上させることができる。

【0023】請求項3によれば、時定数回路における時間により所定時間第3のスイッチ素子 $Q_5$ を駆動してスイッチング素子 $Q_1$ を所定時間オフ状態に維持させることで、該スイッチング素子 $Q_1$ のスイッチング周波数を、ある周波数以上にならないようにしている。従って、出力電力が小さい場合のスイッチングロスを減少させることができ、そのため、軽負荷時での効率を向上させることができる。

【0024】また、請求項4によれば、上記スイッチング素子 $Q_1$ の制御端子とアースとの間にコンデンサ $C_7$ を接続していることで、時定数回路により所定時間が経過してスイッチング素子 $Q_1$ がターンオンしようとしても、コンデンサ $C_7$ によりスイッチング素子 $Q_1$ の制御端子への電圧の立ち上がりが遅れて、スイッチング素子 $Q_1$ のオフ時間をより長くすることができる。そのため、軽負荷時でのスイッチング素子 $Q_1$ のスイッチング周波数をより減少させることができ、軽負荷時で、より効率を向上させることができる。

【0025】

【実施例】以下、本発明の実施例を図面を参照して説明する。図1に本発明のスイッチング電源装置の具体回路図を示す。尚、図11に示す従来と同じ要素には同一の記号を付して説明を省略し、本発明の要旨の部分について詳述する。

【0026】図1に示すように、出力トランス $T$ に第2の出力巻線 $N_3$ を設け、この出力巻線 $N_3$ の両端にダイオード $D_3$ 、抵抗 $R_9 \sim R_{11}$ の直列回路を接続し、第2の出力巻線 $N_3$ の一端よりダイオード $D_4$ を介してトランジスタ $Q_3$ のエミッタに接続している。また、トランジスタ $Q_3$ のベースには抵抗 $R_{12}$ を介してトランジスタ $Q_4$ のコレクタを接続し、該トランジスタ $Q_4$ のベースは抵抗 $R_{10}$ と $R_{11}$ の接続点に接続してある。

【0027】上記トランジスタ $Q_3$ のコレクタとトランジスタ $Q_4$ のエミッタとの間にコンデンサ $C_6$ を接続し、このコンデンサ $C_6$ に並列に、抵抗 $R_{13}$ と、ダイオード $D_5$ 、抵抗 $R_{14}$ 及び $R_{15}$ の直列回路をそれぞれ接続している。また、抵抗 $R_{14}$ と $R_{15}$ の接続点とトランジスタ $Q_5$ 、 $Q_6$ のベースとをそれぞれ接続している。一方のトランジスタ $Q_5$ のコレクタは抵抗 $R_{10}$ と $R_{11}$ の接続点に接続している。また、他方のトランジ

スタQ<sub>6</sub>のコレクタはダイオードD<sub>6</sub>を介してスイッチング素子Q<sub>1</sub>のゲートに接続している。

【0028】次に動作を説明する。定常状態においては、抵抗R<sub>1</sub>、R<sub>2</sub>を介してスイッチング素子Q<sub>1</sub>のゲートに電圧がかかり、スイッチング素子Q<sub>1</sub>がターンオンする。スイッチング素子Q<sub>1</sub>がターンオンすると、出力トランスTに電流が流れ、帰還巻線N<sub>B</sub>に1次巻線N<sub>P</sub>と同方向に電圧がかかる。そして、フォトカプラPC<sub>1</sub>を介して流れる電流によって、コンデンサC<sub>2</sub>に電荷が蓄えられていき、トランジスタQ<sub>2</sub>がオンする。

【0029】トランジスタQ<sub>2</sub>がオンすると、スイッチング素子Q<sub>1</sub>のゲートの電圧が下がり、スイッチング素子Q<sub>1</sub>はターンオフする。この時、出力トランスTの1次巻線N<sub>P</sub>に対して逆極性で巻いた出力巻線N<sub>2</sub>、出力巻線N<sub>3</sub>に正の電圧が発生する。

【0030】出力トランスTの出力巻線N<sub>2</sub>においては、理想的には、 $\Delta T = (I_{2P} V) / L_2$  (I<sub>2P</sub>は2次側電流、Vは出力電圧、 $\Delta T$ はスイッチング素子Q<sub>1</sub>のオフ期間)で示される $\Delta T$ で出力トランスTに蓄えられたエネルギーを放出してしまい、その直後にスイッチング素子Q<sub>1</sub>はターンオンとなる(軽負荷時には、この $\Delta T$ が短いので発振周波数が上がる)。

【0031】しかし、ここで、スイッチング素子Q<sub>1</sub>のターンオフ時に出力トランスTの出力巻線N<sub>3</sub>に正の電圧が発生させ、トランジスタQ<sub>4</sub>をオンさせる。このトランジスタQ<sub>4</sub>のオンによりトランジスタQ<sub>3</sub>がオンし、コンデンサC<sub>6</sub>を充電し、このコンデンサC<sub>6</sub>の両端に電圧が発生する。コンデンサC<sub>6</sub>の両端の電圧が抵抗R<sub>14</sub>とR<sub>15</sub>で分圧した電圧がトランジスタQ<sub>5</sub>、Q<sub>6</sub>のベースにそれぞれ印加されてトランジスタQ<sub>5</sub>、Q<sub>6</sub>がオンする。

【0032】トランジスタQ<sub>6</sub>がオンすることにより、スイッチング素子Q<sub>1</sub>のゲートをLレベルにして、該スイッチング素子Q<sub>1</sub>をオフさせる。また、同時にトランジスタQ<sub>5</sub>がオンすることにより、トランジスタQ<sub>4</sub>のベースをLレベルにして、該トランジスタQ<sub>4</sub>をオフさせる。更に、トランジスタQ<sub>4</sub>がオフすることで、トランジスタQ<sub>3</sub>がオフする。

【0033】そして、コンデンサC<sub>6</sub>、抵抗R<sub>13</sub>～R<sub>15</sub>の時定数により、コンデンサC<sub>6</sub>の電荷をある程度放電するまで、ある一定時間この状態を保つ。この時間、つまり、コンデンサC<sub>6</sub>、抵抗R<sub>13</sub>～R<sub>15</sub>で構成される時定数回路の時定数を調整することで、スイッチング素子Q<sub>1</sub>のターンオフの時間を、ある一定以上にすることができる。従って、スイッチング素子Q<sub>1</sub>のスイッチング周波数を、ある周波数以上にならないようにすることができる。

【0034】このように、本実施例ではリング・チョーク・コンバータ回路において、スイッチング素子Q<sub>1</sub>のスイッチング回数を減少させるために、出力トランス

スTの1次側及び2次側にも電流が流れない休止時間を作ることで、スイッチング周波数がある周波数以上にはならないようにしているものである。従って、スイッチング素子Q<sub>1</sub>のターンオフ期間を、ある一定以上持たせることにより、スイッチング素子Q<sub>1</sub>のスイッチング回数を減少させることができ、その結果、軽負荷時のロスを減少させることができる。

【0035】尚、この休止期間は、入力電圧、負荷状態、その時のスイッチング素子Q<sub>1</sub>の発振波形等で一定ではなく、スイッチング素子Q<sub>1</sub>のターンオフ期間は完全に固定されるわけではない。また、スイッチング素子Q<sub>1</sub>としてFETを用いたが、トランジスタを用いた場合にも同様に適用できるものである。

【0036】図2に本発明の実験結果を示す。図2に示す実線が本発明であり、破線が従来例(図11)である。図示するように、出力電力が5Wの時、従来例では効率が約61%であったのが、本発明では、約70%とすることができた。従って、本発明においては、軽負荷時で特に効率が良いものである。

【0037】(実施例2)図3に実施例2の具体回路図を示す。本実施例において、先の実施例と異なるところはトランジスタQ<sub>5</sub>、Q<sub>6</sub>のベース側の回路が少し異なるだけである。すなわち、トランジスタQ<sub>5</sub>のベースには、抵抗R<sub>16</sub>とR<sub>17</sub>の分圧出力を印加するようにし、また、トランジスタQ<sub>6</sub>のベースには抵抗R<sub>18</sub>とR<sub>19</sub>の分圧出力を印加するようにしている。そして、抵抗R<sub>16</sub>とR<sub>18</sub>の共通接続点をダイオードD<sub>6</sub>のカソードに接続している。

【0038】本実施例では、抵抗R<sub>16</sub>とR<sub>17</sub>の分圧比を、抵抗R<sub>18</sub>とR<sub>19</sub>の分圧比と異ならせることによって、例えば、トランジスタQ<sub>5</sub>がオンする時刻をトランジスタQ<sub>6</sub>がオンする時刻より遅らせることで、コンデンサC<sub>6</sub>の充電時間を多くして、トランジスタQ<sub>6</sub>がオンしている時間、つまり、スイッチング素子Q<sub>1</sub>がオフしている時間を多くすることができる。つまり、スイッチング素子Q<sub>1</sub>のターンオフ時間を多くしてスイッチング回数を下げることで、軽負荷時での効率をより向上させることができる。

【0039】(実施例3)図4に実施例3の具体回路図を示す。本実施例は、図1に示す回路において、スイッチング素子Q<sub>1</sub>のゲート・ソース間にコンデンサC<sub>7</sub>を並列に接続したものである。本実施例では、コンデンサC<sub>6</sub>の充電電荷が放電しきってトランジスタQ<sub>6</sub>がオフした時にスイッチング素子Q<sub>1</sub>のゲートに抵抗R<sub>1</sub>とR<sub>2</sub>を介して電圧が印加されるが、コンデンサC<sub>7</sub>によりスイッチング素子Q<sub>1</sub>のゲート電圧の立ち上がりを遅らせている。

【0040】つまり、上記コンデンサC<sub>7</sub>によりスイッチング素子Q<sub>1</sub>のオフ期間を長くすることで、該スイッチング素子Q<sub>1</sub>のスイッチング回数を先の実施例より、

より減少させることができ、軽負荷時でのロスをもより減少させることができる。図5は出力電力とスイッチング周波数 $f$ との関係を示し、コンデンサ $C_7$ がない場合と比べて、コンデンサ $C_7$ をスイッチング素子 $Q_1$ のゲートに接続した場合の方が、スイッチング周波数 $f$ をより下げることができる。なお、RCCは、本発明の制御を行わない場合を示しており、軽負荷時では、スイッチング周波数がかなり上昇している。

【0041】また、図6は本実施例における出力電力を効率との関係を示し、実線は本実施例であり、破線は従来例(図11)である。図示するように軽負荷時ににおいて特に効率を向上することができる。図1に示す実施例と比べて、本実施例の場合には、3~4%程効率を向上させることができる。

【0042】(実施例4)図7に実施例4を示す。本実施例は図12に示す従来例に対応するものである。また上記の実施例と同様に、本実施例でも図12の従来例と同じ要素には同一の記号を付している。図8は本実施例の各部の電圧波形を示している。

【0043】図7に示すように、出力トランスTに第2の出力巻線 $N_3$ を設けている。そして、出力トランスTの帰還巻線 $N_B$ の一端と上記第2の出力巻線 $N_3$ の他端との間に、ダイオード $D_3$ 、ツェナーダイオード $ZD_1$ 、抵抗 $R_1$ 。及び抵抗 $R_{11}$ との直列回路を並列に接続している。また、出力トランスTの第2の出力巻線 $N_3$ の一端よりダイオード $D_4$ を介してトランジスタ $Q_3$ のエミッタに接続している。このトランジスタ $Q_3$ のベースには抵抗 $R_{12}$ を介してトランジスタ $Q_4$ のコレクタに接続し、該トランジスタ $Q_4$ のベースは上記抵抗 $R_{10}$ と $R_{11}$ の接続点に接続してある。

【0044】上記トランジスタ $Q_3$ のコレクタとトランジスタ $Q_4$ のエミッタとの間にコンデンサ $C_6$ を接続し、このコンデンサ $C_6$ に並列に、抵抗 $R_{13}$ と、抵抗 $R_{14}$ 及び抵抗 $R_{15}$ の直列回路をそれぞれ接続している。また、抵抗 $R_{14}$ と抵抗 $R_{15}$ の接続点とトランジスタ $Q_6$ のベースとを接続している。さらに、トランジスタ $Q_6$ のコレクタはダイオード $D_6$ を介してスイッチング素子 $Q_1$ のゲートに接続している。

【0045】次に動作を図8を参照して説明する。ここで、図8は図7の各部の電圧波形を示し、図8の(a)~(i)は、図7のa点~i点での電圧波形を示している。また、図8において、横軸は全波形2.0 $\mu$ /divで、GNDは全てトランジスタ $Q_4$ のエミッタの電位として測定したものである。

【0046】定常状態においては、抵抗 $R_1$ 、 $R_2$ を介してスイッチング素子 $Q_1$ のゲートに電圧がかかり、スイッチング素子 $Q_1$ がターンオンする。スイッチング素子 $Q_1$ がターンオンすると、出力トランスTに電流が流れ、帰還巻線 $N_B$ の1次巻線 $N_P$ と同方向に電圧がかかる(図8(b)のA-B参照)。そして、ダイオードD

3、ツェナーダイオード $ZD_1$ 、抵抗 $R_{10}$ 、 $R_{11}$ を介してトランジスタ $Q_4$ のベースに電圧がかかり、該トランジスタ $Q_4$ がオン状態になる(図8(c)~(e)のA-B参照)。

【0047】しかし、出力トランスTの第2の出力巻線 $N_3$ には1次巻線 $N_P$ と逆方向に電圧がかかるため(図8(a)のA-B参照)、ダイオード $D_4$ によって阻止され、コンデンサ $C_6$ は充電されない(図8(g)のA-B参照)。そして、フォトカプラ $PC_1$ を介して流れる電流によって、コンデンサ $C_2$ に電荷が蓄えられていき、トランジスタ $Q_2$ がオンする。

【0048】トランジスタ $Q_2$ がオンすると、スイッチング素子 $Q_1$ のゲートの電圧が下がり、スイッチング素子 $Q_1$ はターンオフする。この時、出力トランスTの1次巻線 $N_P$ に対して逆極性で巻いた出力巻線 $N_2$ 、出力巻線 $N_3$ に正の電圧が発生する(図8(a)のB点参照)。

【0049】出力トランスTの出力巻線 $N_2$ においては、理想的には、 $\Delta T = (I_{2P}V) / L_2$  ( $I_{2P}$ は2次側電流、 $V$ は出力電圧、 $\Delta T$ はスイッチング素子 $Q_1$ のオフ期間)で示される $\Delta T$ で出力トランスTに蓄えられたエネルギーを放出してしまい、その直後にスイッチング素子 $Q_1$ はターンオンとなる(軽負荷時には、この $\Delta T$ が短いので発振周波数が上がる)。

【0050】しかし、ここでスイッチング素子 $Q_1$ のターンオフ時に出力トランスTの第2の出力巻線 $N_3$ に正の電圧を発生させる(図8(a)のB点参照)。ここで、トランジスタ $Q_4$ は既にオンしており、図8(d)のB点で示される電圧と、トランジスタ $Q_4$ のオフの遅れにより、ターンオフ時、トランジスタ $Q_4$ はすぐにオフしない(図8(e)のB-C参照)ので、トランジスタ $Q_3$ もオン状態を保つ。

【0051】したがって、第2の出力巻線 $N_3$ に発生した電圧が、ダイオード $D_4$ を介してトランジスタ $Q_3$ のコレクタに電圧がかかり(図8(f)のB-C参照)、コンデンサ $C_6$ に充電を開始する(図8(g)のB-C参照)。このコンデンサ $C_6$ の両端の電圧が、抵抗 $R_{14}$ と $R_{15}$ で分圧した電圧がトランジスタ $Q_6$ のベースに印加されてトランジスタ $Q_6$ がオンする。

【0052】トランジスタ $Q_6$ がオンすることにより、スイッチング素子 $Q_1$ のゲートをLレベルにして、該スイッチング素子 $Q_1$ のオフ状態を維持する。一方、トランジスタ $Q_4$ は、帰還巻線 $N_B$ に逆電圧が発生しているため(図8(b)のB-C参照)、上述の遅れのためにオン状態を維持していてもその遅れの後にオフする(図8(e)のC点参照)。

【0053】また、図8のC-Dの間、出力トランスTの帰還巻線 $N_B$ にはグラウンド(GND)を中心に正負に振幅しているが( $V_{B2}$ )、図8(b)のA-B間の電圧( $V_{B1}$ )に比較して十分に小さいため、ツェナーダイオ

ードZD<sub>1</sub>のツェナー電圧(V<sub>Z</sub>)を、  
V<sub>B2</sub><V<sub>Z</sub><V<sub>B1</sub>

となるように設定することで、トランジスタQ<sub>4</sub>は再び  
オンできないようにしている。

【0054】そして、コンデンサC<sub>6</sub>、抵抗R<sub>13</sub>～R<sub>15</sub>の時定数により、コンデンサC<sub>6</sub>の電荷をある程度  
放電するまで、ある一定時間この状態を保つ。この時  
間、つまり、コンデンサC<sub>6</sub>、抵抗R<sub>13</sub>～R<sub>15</sub>で構  
成される時定数回路の時定数を調整することで、スイ  
ッチング素子Q<sub>1</sub>のターンオフの時間を、ある一定以上に  
10 することができる。従って、スイッチング素子Q<sub>1</sub>のス  
イッチング周波数を、ある周波数以上にならないように  
することができる。

【0055】このように、本実施例ではリングング・チ  
ョーク・コンバータ回路において、スイッチング素子Q<sub>1</sub>  
のスイッチング回数を減少させるために、出力トラン\*

\*スTの1次側及び2次側にも電流が流れない休止時間  
を作ることで、スイッチング周波数ある周波数以上には  
ならないようにしているものである。従って、スイッ  
チング素子Q<sub>1</sub>のターンオフ期間を、ある一定以上持たせ  
ることにより、スイッチング素子Q<sub>1</sub>のスイッチング回  
数を減少させることができ、その結果、軽負荷時のロス  
を減少させることができる。

【0056】尚、この休止期間は、入力電圧、負荷状  
態、その時のスイッチング素子Q<sub>1</sub>の発振波形等で一定  
ではなく、スイッチング素子Q<sub>1</sub>のターンオフ期間は完  
全に固定されるわけではない。また、スイッチング素子  
Q<sub>1</sub>としてFETを用いたが、トランジスタを用いた場  
合にも同様に適用できるものである。

【0057】

【表1】

入力電圧 (V)	従来回路 (図12)	本発明 (図7)
185	④	①
220	⑤	②
264	⑥	③

【0058】図9に本実施例の実験結果を示す。上記表  
1に図9の①～⑥の線の条件を示す。図9に示すよう  
に、入力電圧が220Vで、出力電力が3Wの時、図1  
2に示す従来例(⑤)では、効率が約41%であったの  
が、本実施例(②)では、約58%とすることができ  
た。また、出力電力が3Wの時、従来例では入力電圧に  
より効率が33%(⑥)～49%(④)と16%変動し  
ていたが、本実施例では、52%(③)～62%(①)  
と10%の変動とすることができた。したがって、本実  
施例においては軽負荷時で効率が良く、入力の変動によ  
る効率の変動が少ないものである。

【0059】(実施例5)図10に実施例3の具体回路  
図を示す。本実施例は、図7に示す回路において、ス  
イッチング素子Q<sub>1</sub>のゲート・ソース間にコンデンサC<sub>7</sub>  
を並列に接続したものである。本実施例では、コンデ  
ンサC<sub>6</sub>の充電電荷が放電しきってトランジスタQ<sub>6</sub>がオ  
フした時にスイッチング素子Q<sub>1</sub>のゲートに抵抗R<sub>1</sub>と  
R<sub>2</sub>を介して電圧が印加されるが、コンデンサC<sub>7</sub>によ  
りスイッチング素子Q<sub>1</sub>のゲート電圧の立ち上がりを選  
らせている。

【0060】つまり、上記コンデンサC<sub>7</sub>によりスイ  
ッチング素子Q<sub>1</sub>のオフ期間を長くすることで、該スイ

30 チング素子Q<sub>1</sub>のスイッチング回数を先の実施例より、  
より減少させることができ、軽負荷時でのロスをより減  
少させることができる。図5は出力電力とスイッチング  
周波数fとの関係を示し(なお、図5は先の実施例1の  
場合の特性図であるが、本実施例の場合も同じ結果が得  
られたので、図5を利用する。)、コンデンサC<sub>7</sub>がない  
場合と比べて、コンデンサC<sub>7</sub>をスイッチング素子Q<sub>1</sub>  
のゲートに接続した場合の方が、スイッチング周波数  
fをより下げることができる。なお、RCCは、本発明  
の制御を行わない場合を示しており、軽負荷時では、ス  
イッチング周波数がかなり上昇している。

40 【0061】また、図6は本実施例における出力電力を  
効率との関係を示し(なお、図6は先の実施例1の場合  
の特性図であるが、上記図5の場合と同様に本実施例の  
場合も同じ結果が得られたので、図6を利用する。)、  
実線は本実施例であり、破線は従来例(図11)であ  
る。図示するように軽負荷時において特に効率を向上  
することができる。図7に示す実施例と比べて、本実施  
例の場合には、3～4%程効率を向上させることができ  
る。

【0062】

50 【発明の効果】本発明によれば、1次巻線、出力巻線及

び帰還巻線を有する出力トランスと、上記出力トランスの1次巻線に一端が接続され帰還巻線に制御端子を接続した発振用のスイッチング素子と、出力トランスの出力巻線に接続された整流回路とを備えたリング・チョーク・コンバータ方式のスイッチング電源装置において、上記スイッチング素子のスイッチング周波数を、ある周波数以上にならないように抑制する制御手段を備え、該制御手段を、上記出力トランスに設けた出力巻線と同極性に巻装した第2の出力巻線と、この第2の出力巻線に発生した電圧によりオンする第1のスイッチ素子と、この第1のスイッチ素子のオン動作によりオン駆動される第2のスイッチ素子と、この第2のスイッチ素子のオン動作により充電されるコンデンサ及び抵抗からなる時定数回路と、この時定数回路により所定時間上記第1のスイッチ素子をオフさせる第3のスイッチ素子と、上記時定数回路により上記スイッチング素子の制御端子をLレベルにして該スイッチング素子を所定時間オフ状態に維持する第4のスイッチ素子とで構成したものであるから、時定数回路における時間により所定時間第4のスイッチ素子を駆動してスイッチング素子を所定時間オフ状態に維持させることで、該スイッチング素子のスイッチング周波数を、ある周波数以上にならないようにしている。従って、出力電力が小さい場合のスイッチングロスを減少させることができ、そのため、軽負荷時の効率を向上させることができるという効果を奏するものである。

【0063】また、請求項2によれば、上記スイッチング素子の制御端子とアースとの間にコンデンサを接続していることで、時定数回路により所定時間が経過してスイッチング素子がターンオンしようとしても、コンデンサによりスイッチング素子の制御端子への電圧の立ち上がりが遅れて、スイッチング素子のオフ時間をより長くすることができる。そのため、軽負荷時のスイッチング素子のスイッチング周波数をより減少させることができ、軽負荷時で、より効率を向上させることができる。

【0064】請求項3によれば、時定数回路における時間により所定時間第3のスイッチ素子を駆動してスイッチング素子を所定時間オフ状態に維持させることで、該スイッチング素子のスイッチング周波数を、ある周波数以上にならないようにしている。従って、出力電力が小さい場合のスイッチングロスを減少させることができ、そのため、軽負荷時の効率を向上させることができるという効果を奏するものである。

【0065】また、請求項2によれば、上記スイッチング素子の制御端子とアースとの間にコンデンサを接続し

ていることで、時定数回路により所定時間が経過してスイッチング素子がターンオンしようとしても、コンデンサによりスイッチング素子の制御端子への電圧の立ち上がりが遅れて、スイッチング素子のオフ時間をより長くすることができる。そのため、軽負荷時のスイッチング素子のスイッチング周波数をより減少させることができ、軽負荷時で、より効率を向上させることができる。

#### 【図面の簡単な説明】

【図1】本発明の実施例のスイッチング電源装置の具体回路図である。

【図2】本発明の実施例の出力電力と効率との関係を示す図である。

【図3】本発明の実施例2のスイッチング電源装置の具体回路図である。

【図4】本発明の実施例3のスイッチング電源装置の具体回路図である。

【図5】本発明の実施例3の出力電力とスイッチング周波数との関係を示す図である。

【図6】本発明の実施例3の出力電力と効率との関係を示す図である。

【図7】本発明の実施例4のスイッチング電源装置の具体回路図である。

【図8】本発明の実施例4の図7における各部の電圧波形を示す図である。

【図9】本発明の実施例4の出力電力と効率との関係を示す図である。

【図10】本発明の実施例5のスイッチング電源装置の具体回路図である。

【図11】従来例のスイッチング電源装置の具体回路図である。

【図12】他の従来例のスイッチング電源装置の具体回路図である。

#### 【符号の説明】

T 出力トランス

N<sub>P</sub> 1次巻線

N<sub>2</sub> 出力巻線

N<sub>3</sub> 第2の出力巻線

N<sub>B</sub> 帰還巻線

Q<sub>1</sub> スwitchング素子

40 Q<sub>3</sub> トランジスタ (第2のスイッチ素子)

Q<sub>4</sub> トランジスタ (第1のスイッチ素子)

Q<sub>5</sub> トランジスタ (第3のスイッチ素子)

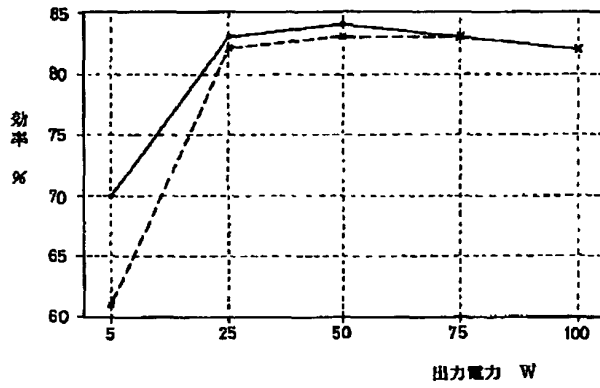
Q<sub>6</sub> トランジスタ (第4のスイッチ素子)

C<sub>6</sub> コンデンサ

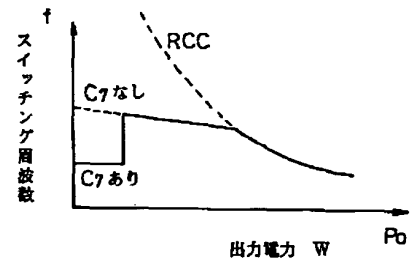
R<sub>13</sub> ~ R<sub>15</sub> 抵抗



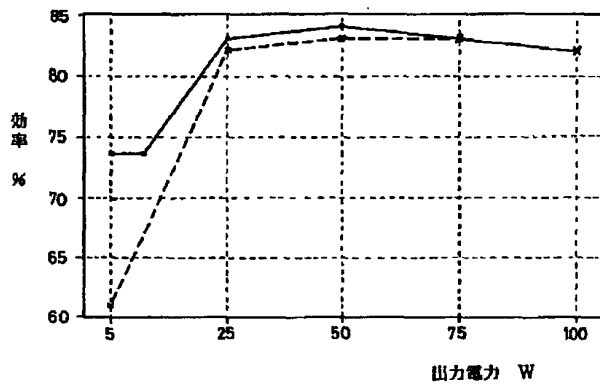
【図2】



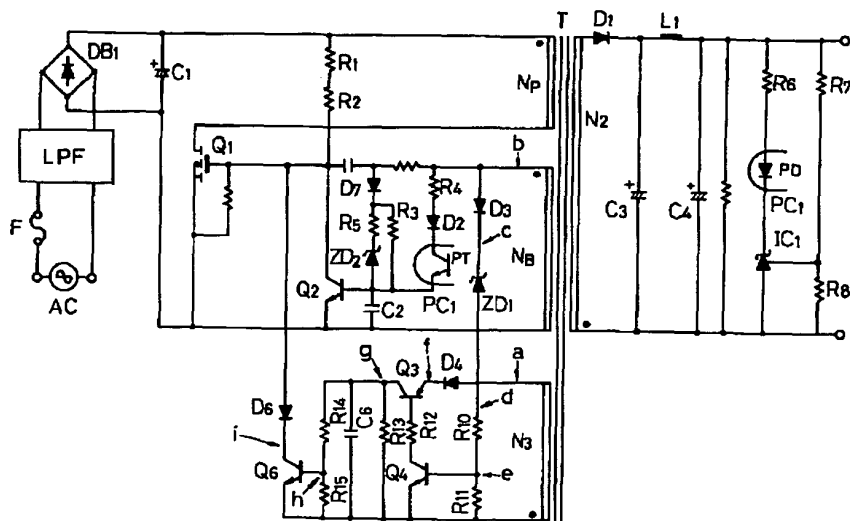
【図5】



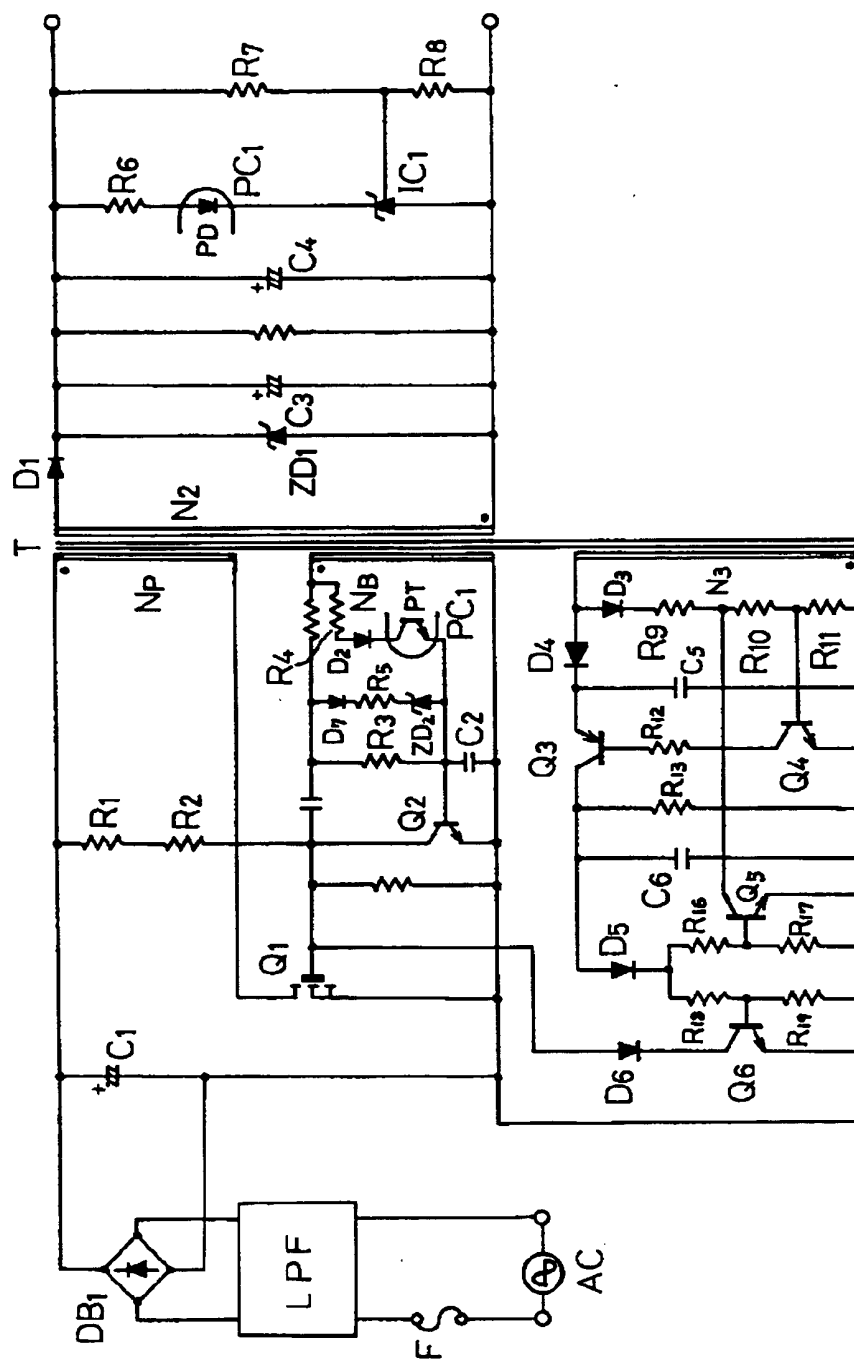
【図6】



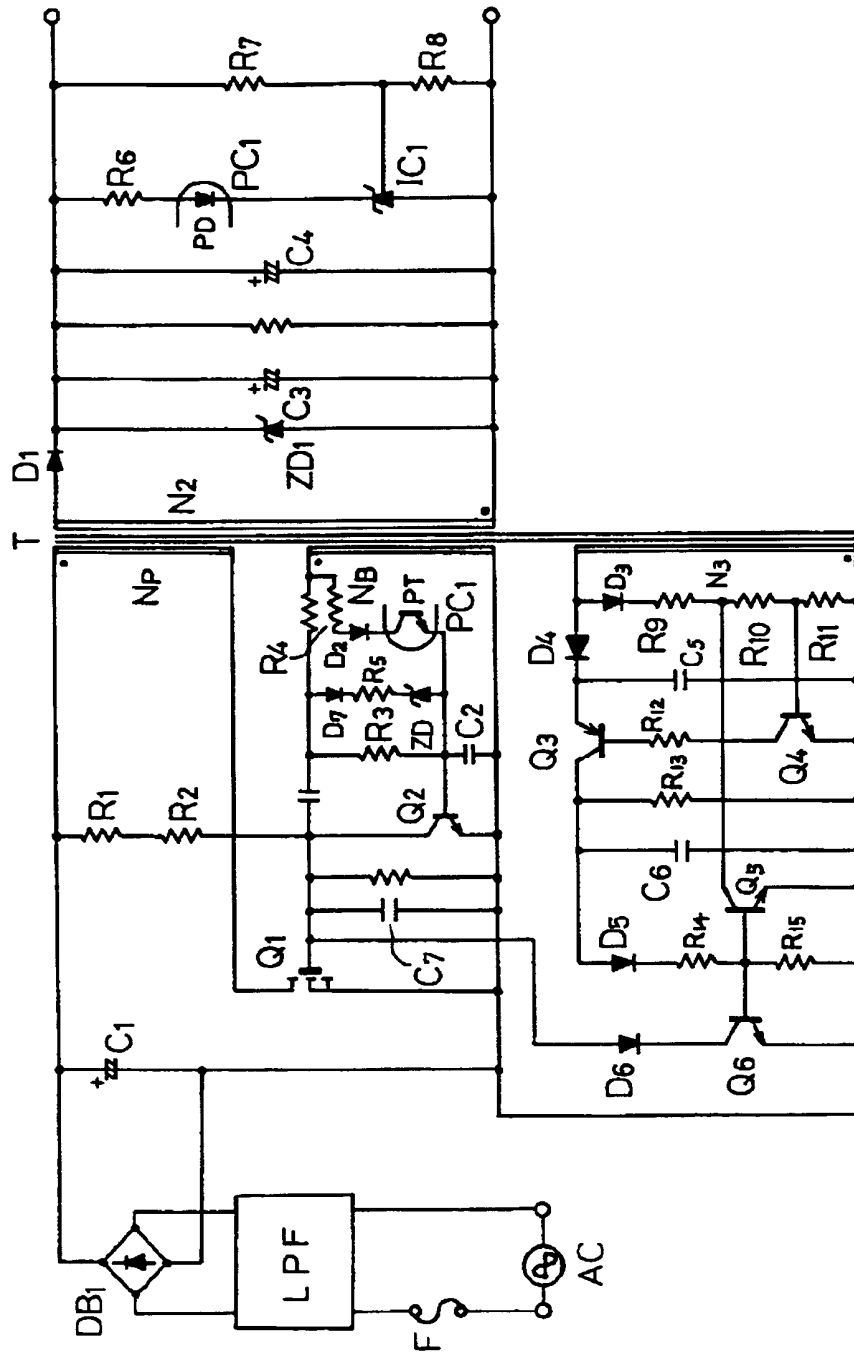
【図7】



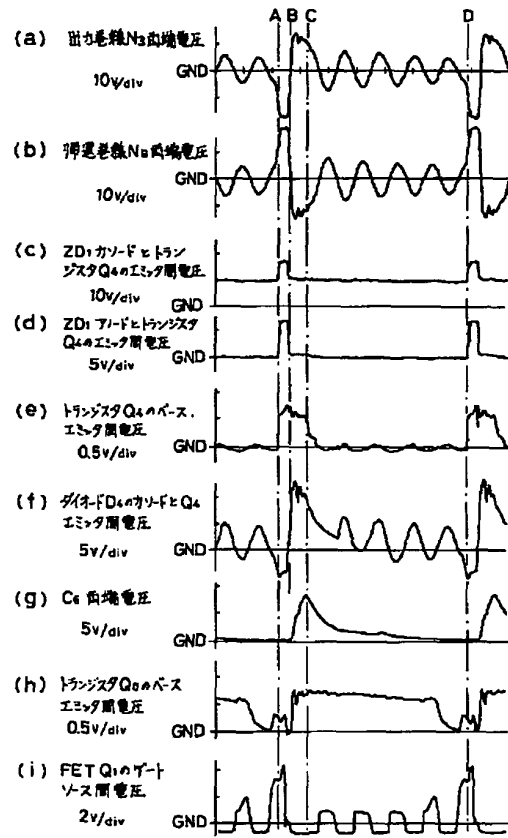
【図 3】



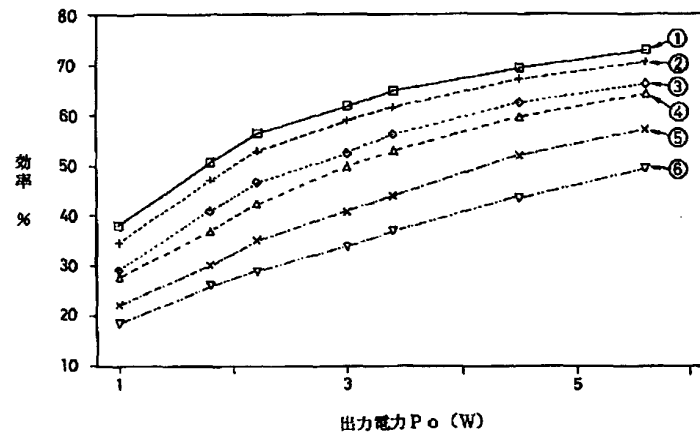
【図 4】



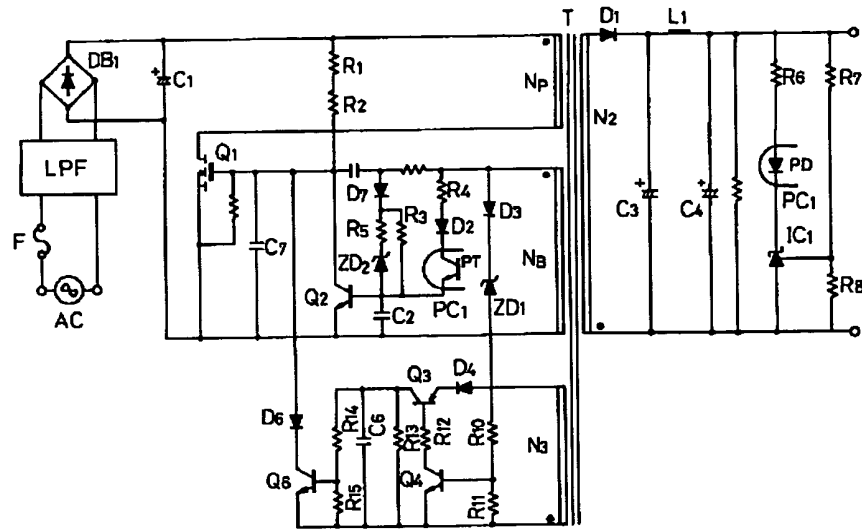
【図8】



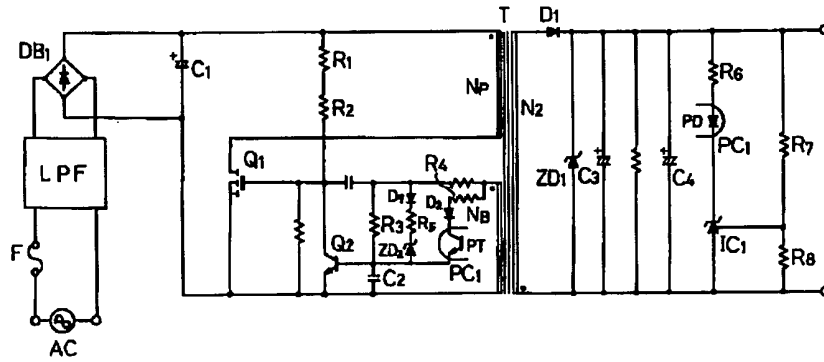
【図9】



【図10】



【図11】



【図12】

